



Gowin 数字信号处理器(DSP) 用户指南

UG287-1.09,2016-11-08

版权所有©2016 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2016/05/16	1.05	初始版本
2016/07/04	1.06	修改 PADD18 的结构框图
2016/07/11	1.07	标准化插图
2016/08/16	1.08	修改 GW2A-18 器件的乘法器数目
2016/11/08	1.09	修改乘法器框图,增加 PADDMULT 和 GWDSPMACRO 原语

目录

目录.....	i
图目录.....	iii
表目录.....	iv
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语.....	1
1.5 技术支持与反馈	2
2 概述	3
3 DSP 结构	5
3.1 前加器.....	7
3.2 乘法器.....	9
3.3 ALU54	9
3.3.1 ALU54 状态	11
3.3.2 ALU54 属性	11
3.3.3 ALU54 操作模式配置.....	12
3.4 输出单元	14
4 DSP 操作模式.....	15
4.1 乘法器模式	15
4.1.1 MULT9 x 9D	16
4.1.2 MULT9 x 9S	17
4.1.3 MULT18 x 18D	19
4.1.4 MULT18 x 18S.....	19
4.1.5 MULT36 x 18D	19
4.1.6 MULT36 x 36D	20
4.2 乘法及累加器模式	21
4.2.1 MAC18 x 18D	22
4.2.2 MAC9 x 9D	23

4.3 乘法器求和模式	24
4.3.1 MULTADD18 x 18D	25
4.3.2 MULTADD9 x 9D	27
4.4 乘法器二次求和模式	27
4.4.1 MULTADDSUM18 x 18D	29
4.4.2 MULTADDSUM9 x 9D	30
5 DSP 调用	31

图目录

图 3-1 宏单元的组成结构	6
图 3-2 PADD18 的组成结构	7
图 3-3 ALU54 的组成结构	10
图 4-1 MULT9 x 9D 组成结构	17
图 4-2 MULT9 x 9S 组成结构	18
图 4-3 MULT36 x 18D 组成结构	20
图 4-4 MULT36 x 36D 组成结构	21
图 4-5 MAC18 x 18D 组成结构	23
图 4-6 MULTADD18 x 18D 组成结构	26
图 4-7 MULTADDSUM18 x 18D 的组成结构	29

表目录

表 1-1 术语、缩略语.....	1
表 2-1 高云半导体 FPGA 产品 MULT18 x 18 资源数量.....	4
表 2-2 DSP 模块支持的模式	4
表 3-1 PADD18 信号名称及说明.....	8
表 3-2 PADD9 信号名称及说明.....	8
表 3-3 前加器的寄存器和参数属性	8
表 3-4 ALU54 的信号名称及说明	10
表 3-5 ALU54 状态定义及计算方式	11
表 3-6 ALU54 寄存器和参数属性	11
表 3-7 ALU54 操作模式	12
表 3-8 ALU54 控制器计算方式.....	13
表 3-9 DSP 模式配置	14
表 4-1 普通乘法器寄存器和参数属性.....	15
表 4-2 移位乘法器寄存器和参数属性.....	16
表 4-3 MULT9 x 9D 信号名称及说明	17
表 4-4 MULT9 x 9S 信号名称及说明	18
表 4-5 MULT18 x 18D 信号名称及说明	19
表 4-6 MULT18 x 18S 信号名称及说明	19
表 4-7 MULT36 x 18D 信号名称及说明	20
表 4-8 MULT36 x 36D 信号名称及说明	21
表 4-9 乘法及累加器寄存器和参数属性	21
表 4-10 MAC18 x 18D 信号名称及说明.....	23
表 4-11 MAC9 x 9D 信号名称及说明.....	24
表 4-12 乘法器求和模式的寄存器和参数属性.....	24
表 4-13 MULTADD18 x 18D 信号名称及说明.....	26
表 4-14 MULTADD9 x 9D 信号名称及说明	27
表 4-15 乘法器二次求和模式的寄存器和参数属性	27
表 4-16 MULTADDSUM18 x 18D 信号名称及说明	29
表 4-17 MULTADDSUM9 x 9D 信号名称及说明.....	30

1 关于本手册

1.1 手册内容

本手册主要描述 Gowin 数字信号处理器（DSP）资源的结构、信号定义及用户调用方法等内容，旨在帮助用户快速熟悉 Gowin DSP 的使用流程，提高设计效率。

1.2 适用产品

本手册中描述的信息适用于以下产品：

1. GW2A 系列 FPGA 产品：GW2A-18, GW2A-55
2. GW1N 系列 FPGA 产品：GW1N-2, GW1N-4, GW1N-6, GW1N-9
3. GW2AR 系列 FPGA 产品：GW2AR-18

1.3 相关文档

通过登录高云半导体网站 <http://www.gowinsemi.com.cn> 可以下载、查看以下相关文档：

1. GW2A 系列 FPGA 产品数据手册
2. GW1N 系列 FPGA 产品数据手册
3. GW2AR 系列 FPGA 产品数据手册

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
DSP	Digital Signal Processor	数字信号处理器
FPGA	Field Programmable Gate Array	现场可编程门阵列
FIR	Finite Impulse Response	非递归型滤波器
FFT	Fast Fourier Transformation	快速傅里叶变换
CFU	Configurable Function Unit	可配置功能单元
MULT	Multiplier	乘法器

术语、缩略语	全称	含义
PADD	Pre-adder	前加器
ALU	Arithmetic Logic Unit	算术逻辑单元
MAC	Multiplier and Accumulator	乘法及累加器

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：<http://www.gowinsemi.com.cn>

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

高云半导体 FPGA 产品（除 GW1N-1 外）具有丰富的 DSP 资源，可满足用户对高性能数字信号的处理需求，如 FIR 和 FFT 的设计等。DSP 模块具有时序性能稳定、资源利用率高和功耗低等优点。本手册旨在帮助用户快速了解 DSP 的结构和使用方法，更详细的信息请参考 [DSP 相关原语](#)，原语库文件位于 Gowin 云源软件安装目录下 GOWIN/x.x/Pnr/lib/gwxx，其中 x.x 为软件版本号，gwxx 为器件系列名称，如 gw1n 和 gw2a。

DSP 模块的功能及特性如下：

- 3 种宽度（9-bit, 18-bit, 36-bit）的有符号及无符号乘法器
- 乘法及累加器
- 54-bit 的算术/逻辑运算单元
- 多个乘法器可级联以增加数据宽度
- 桶形移位器
- 通过反馈信号做自适应滤波
- 支持寄存器的流水线和旁路功能

高云半导体 FPGA 产品的 MULT18 x 18 的资源数量如表 2-1 所示, DSP 模块支持的配置模式如表 2-2 所示。

表 2-1 高云半导体 FPGA 产品 MULT18 x 18 资源数量

产品		MULT18 x 18 数量
GW1N 系列 FPGA 产品	GW1N-1	0
	GW1N-2	16
	GW1N-4	16
	GW1N-6	20
	GW1N-9	20
GW2A 系列 FPGA 产品	GW2A-18	48
	GW2AR-18	48
	GW2A-55	40

表 2-2 DSP 模块支持的模式

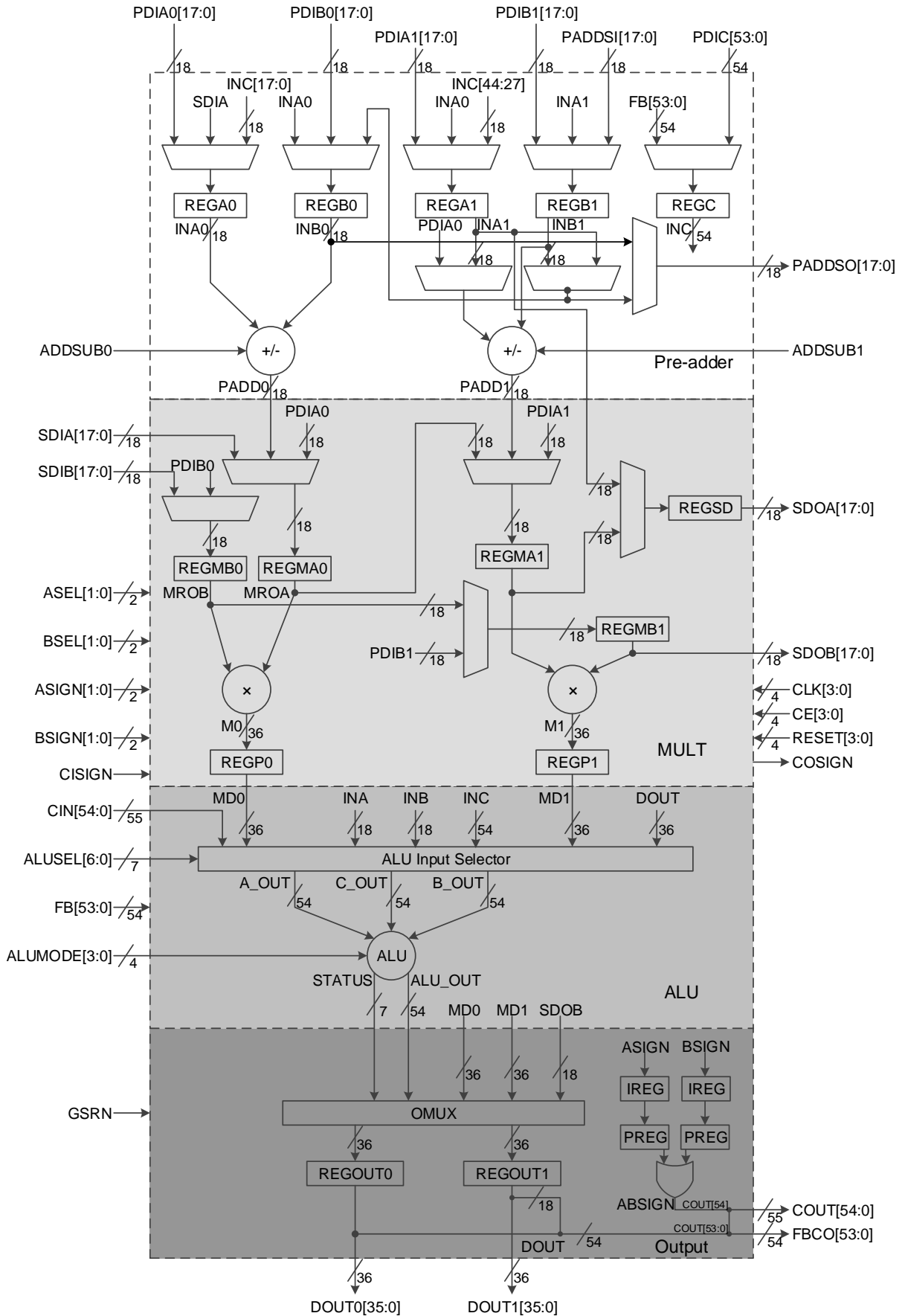
模式	原语名称	说明
前加器	PADD9	9-bit 前加器
	PADD18	18-bit 前加器
算术运算单元	ALU54	54-bit 算术运算单元
	ALU54H	54-bit 高速算术运算单元
乘法器	MULT9 x 9D	9-bit 乘法器
	MULT9 x 9S	带移位功能的 9-bit 乘法器
	MULT18 x 18D	18-bit 乘法器
	MULT18 x 18S	带移位功能的 18-bit 乘法器
	MULT36 x 18D	36 x 18 乘法器
	MULT36 x 36D	36-bit 乘法器
乘法及累加器	MAC9 x 9D	9-bit 乘法及累加器
	MAC18 x 18D	18-bit 乘法及累加器
乘法器求和	MULTADD9 x 9D	2 个 9-bit 乘法器求和或求差
	MULTADD18 x 18D	2 个 18-bit 乘法器求和或求差
乘法器二次求和	MULTADDSUM9 x 9D	2 个 9-bit 乘法器求和或求差的结果再次求和, 需要 4 个 9-bit 乘法器
	MULTADDSUM18 x 18D	2 个 18-bit 乘法器求和或求差的结果再次求和, 需要 4 个 18-bit 乘法器

除了表 2-2 列举的各种模式, 为满足用户的需求, 高云半导体在 Gowin 云源软件 1.7 版本及后续版本新增了两个原语 PADDMULT 和 GWDSPPMACRO。PADDMULT 内部集成了前加器和乘法器模块, 方便用户实现对输入数据求和/差之后的乘法运算。GWDSPPMACRO 是 Gowin DSP 的宏单元结构, 内部包含 2 个前加器、2 个乘法器和 1 个算术运算单元, 用户可以根据自身的需要配置相关参数实现复杂的运算。需要注意的是, Gowin 云源软件的 IP CORE 界面上没有这两个模块的参数配置界面, 用户使用时需要在设计中自行调用原语并进行参数配置, 高云半导体的综合工具会对原语进行自动识别。PADDMULT 和 GWDSPPMACRO 的输入输出接口和默认参数值请用户参考相关原语。

3 DSP 结构

高云半导体 FPGA 产品的 DSP 模块以行的形式分布在整个 FPGA 阵列中，每个 DSP 模块占用 9 个 CFU 的位置，每个 DSP 模块由两个宏单元组成，每个宏单元包含两个前加器(pre-adders)、两个 18 位的乘法器(MULT18 x 18) 和一个带输入选择端的三输入算术/逻辑运算单元 (ALU54)，宏单元的结构组成如图 3-1 所示。

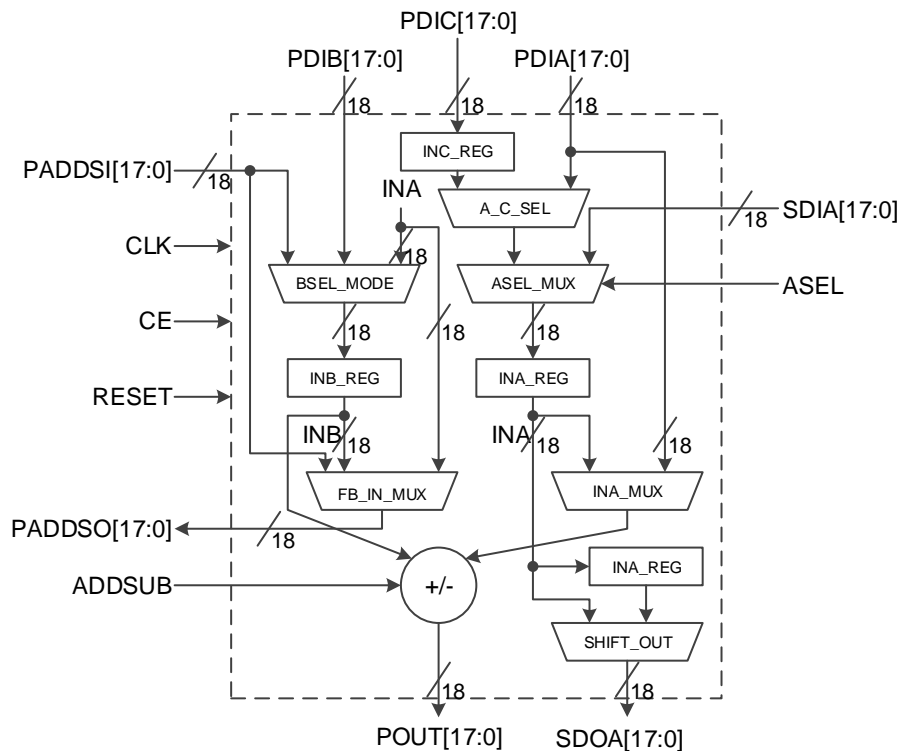
图 3-1 宏单元的组成结构



3.1 前加器

每个 DSP 宏单元包含两个前加器，前加器位于宏单元的最前端，每个前加器有两个输入端，为了增强时序性能，每个输入端都增加了对应的寄存器，用户也可以把输入寄存器旁路使输入端直接连接到乘法器模块。高云半导体 FPGA 产品的前加器可以作为用户功能模块单独使用，前加器按照位宽不同分为两种，分别是 9 位位宽的 PADD9 和 18 位位宽的 PADD18，两种前加器的组成结构、寄存器和参数属性都相同。PADD18 的组成结构如图 3-2 所示。

图 3-2 PADD18 的组成结构



PADD18 和 PADD9 的信号名称及含义说明如表 3-1 及表 3-2 所示。

表 3-1 PADD18 信号名称及说明

信号名称	I/O 类型	说明
PDIA[17:0]	I	18-bit 数据输入 A
PDIB[17:0]	I	18-bit 数据输入 B
PDIC[17:0]	I	18-bit 数据输入 C
SDIA[17:0]	I	18-bit 移位数据输入
PADDSI[17:0]	I	18-bit 前加器移位输入, 反向
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	复位信号
ASEL	I	前加器的输入源选择, PDIA/PDIC 或 SDIA
ADDSUB	I	加法/减法选择, 0: 加法, 1: 减法
SDOA[17:0]	O	移位数据输出 A
PADDSO[17:0]	O	前加器移位输出, 反向
POUT[17:0]	O	PADD18 输出结果

注!

PADDSI 和 PADDSO 一般用于 DSP 级联模式。

表 3-2 PADD9 信号名称及说明

信号名称	I/O 类型	说明
PDIA[8:0]	I	9-bit 数据输入 A
PDIB[8:0]	I	9-bit 数据输入 B
PDIC[8:0]	I	9-bit 数据输入 C
SDIA[8:0]	I	9-bit 移位数据输入
PADDSI[8:0]	I	9-bit 前加器移位输入, 反向
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	复位信号
ASEL	I	前加器的输入源选择, PDIA/PDIC 或 SDIA
ADDSUB	I	加法/减法选择
SDOA[8:0]	O	移位数据输出 A
PADDSO[8:0]	O	前加器移位输出, 反向
POUT[8:0]	O	PADD9 输出结果

前加器的寄存器和参数属性如表 3-3 所示, 用户在使用过程中, 可以结合自身需求进行相应的参数设置, 选择不同的输入源完成预期功能。

表 3-3 前加器的寄存器和参数属性

名称	值 (默认值)	说明
INA_REG	1'b0/1 (1'b0)	A 输入寄存器 (PDIA/PDIC 或 SDIA) 可以旁路, 1'b0: 旁路模式, 1'b1: 寄存器模式
INB_REG	1'b0/1 (1'b0)	B 输入寄存器 (PDIB 或 PADDSI) 可以旁路, 1'b0: 旁路模式, 1'b1: 寄存器模式
INC_REG	1'b0/1 (1'b0)	C 输入寄存器 (PDIC) 可以旁路, 1'b0: 旁路模式, 1'b1: 寄存器模式

名称	值 (默认值)	说明
ADDSUB_REG	1'b0/1 (1'b0)	ADDSUB 寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
PADD_RESET_MODE	SYNC/ASYNC (SYNC)	同步复位或异步复位
SHIFT_OUT_REG	1'b0/1 (1'b0)	SDOA 输出寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
A_C_SEL	1'b0/1 (1'b0)	1'b0:选择 PDIA, 1'b1:选择 PDIC
BSEL_MODE	2'b00/01/11 (2'b11)	2'b00: 选择 PDIB 2'b01: INA_REG 2'b11: 前加器移位输入 PADDSI
FB_IN_MUX	2'b00/01/11 (2'b11)	2'b00: 前加器移位输入 PADDSI 2'b01: INA_REG 2'b11: 输入值取决于 BSEL_MODE
INA_MUX	1'b0/1 (1'b0)	1'b0: INA_REG 1'b1: PDIA 直接输入

3.2 乘法器

每个 DSP 宏单元包含两个乘法器, 为了满足不同的乘法位宽需求, 乘法器可以配置成 9×9 、 18×18 、 36×18 和 36×36 四种, 每一个宏单元可以配置成以下三种模式之一: 1 个 36×18 或 2 个 18×18 或 4 个 9×9 乘法器, 36×36 乘法器需要 1 个 DSP 模块 (即, 2 个宏单元) 来配置。

乘法器的输入和输出端均带有寄存器, 用户可以选择寄存器模式或者将它们旁路。每个 DSP 模块具有 4 组时钟信号、4 组使能信号和 4 组复位信号, 每个时钟信号可以由全局时钟、第二全局时钟或普通逻辑驱动, 每个使能和复位信号可以由第二全局时钟或普通逻辑驱动。每个寄存器可以选择任意的时钟、使能和复位信号组合作为输入。关于乘法器的详细信息请参考 4.1 [乘法器模式](#)。

3.3 ALU54

每个 DSP 宏单元包含一个 54-bit 的带输入选择端的算术/逻辑运算单元 ALU54, 如有需要 ALU54 可以作为功能模块单独使用。ALU54 的组成结构及信号如图 3-3 及表 3-4 所示。

图 3-3 ALU54 的组成结构

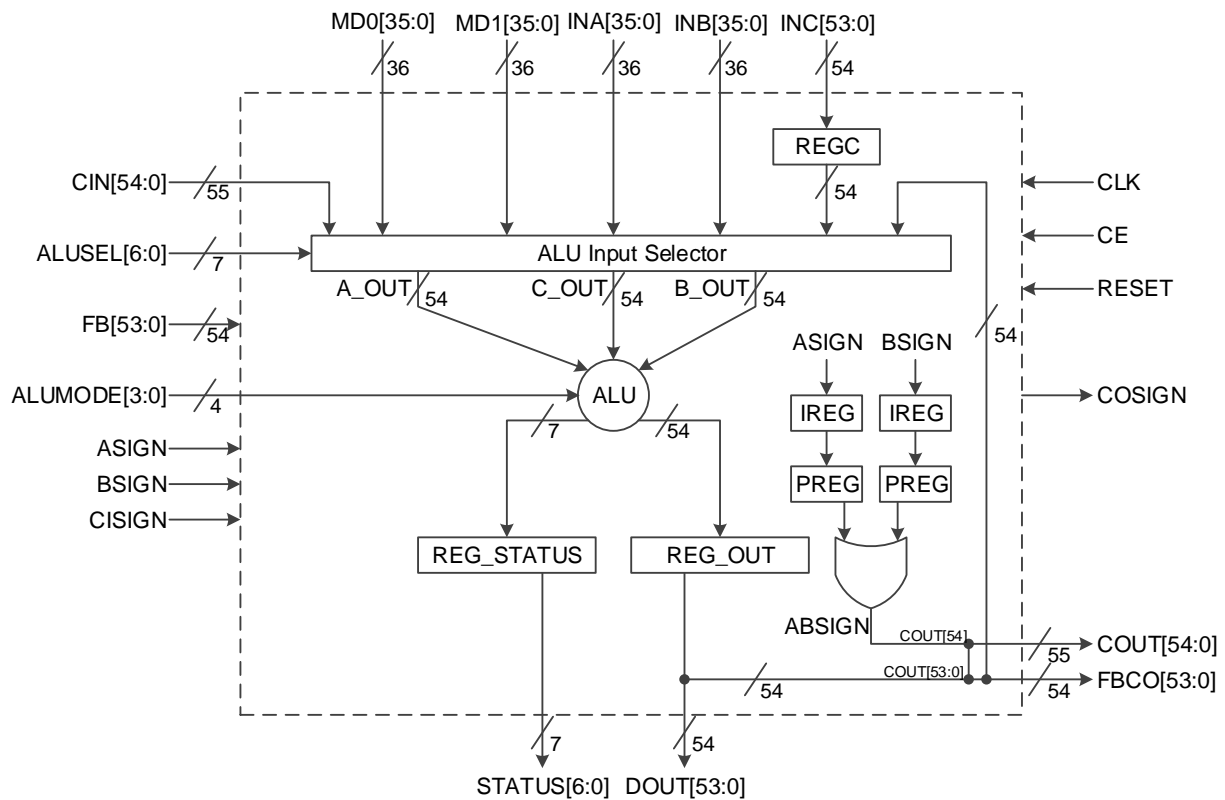


表 3-4 ALU54 的信号名称及说明

信号名称	I/O 类型	说明
INA[35:0]	I	36-bit 数据输入 A
INB[35:0]	I	36-bit 数据输入 B
INC[53:0]	I	54-bit 数据输入 C
MD0[35:0]	I	来自乘法器的 36-bit 数据输入 0
MD1[35:0]	I	来自乘法器的 36-bit 数据输入 1
CIN[54:0]	I	55-bit 进位输入
ASIGN	I	MD0 的符号位, 0: 无符号数, 1: 有符号数
BSIGN	I	MD1 的符号位, 0: 无符号数, 1: 有符号数
CISIGN	I	CIN 的符号, 0: 无符号数, 1: 有符号数
ALUMODE[3:0]	I	操作模式配置
ALUSEL[6:0]	I	选择 ALU54 输入单元
FB[53:0]	I	后一个 DSP 模块的 FBCO 反馈
CLK	I	输入时钟
CE	I	时钟使能信号
RESET	I	复位, 同步/异步可选
DOUT[53:0]	O	ALU54 输出
COUT[54:0]	O	55-bit 进位输出
FBCO[53:0]	O	当前 DSP 的输出, 反馈到前一个 DSP 的 FB 输入端, 其值与 COUT[53:0]相同
COSIGN	O	DOUT 的符号位, 用于后一个 DSP 模块, 0: 无符号数, 1: 有符号数
CMPZ	O	与“0”比较
MCMPZ	O	与“0”比较, 可带屏蔽位

信号名称	I/O 类型	说明
MCMPO	O	与“1”比较，可带屏蔽位
MDCMP	O	与特定数据进行比较，可带屏蔽位
MDNCMP	O	MDCMP 的反相
OVER	O	累加器满溢
UNDER	O	累加器读空

高云半导体提供了 DSP 高速数据传输模式的解决方案 ALU54H，在 ALU54H 的应用中，除输入 C 和 FB 的寄存器外，其他所有寄存器均支持输入时钟双边沿触发。ALU54H 的结构和输入输出端口信号与 ALU54 完全一致。

3.3.1 ALU54 状态

ALU54 的输出结果可以与常数或者特定数据串比较，产生多达 7 位的状态指示，输出状态的定义及计算方式如表 3-5 所示。

表 3-5 ALU54 状态定义及计算方式

输出状态	定义	计算方式
CMPZ	与“0”比较	$CMPZ = \&(\sim DOUT)$
MCMPZ	与“0”比较，可带屏蔽位	$MCMPZ = \&(\sim(DOUT) MASKZ0_INIT)^1$
MCMPO	与“1”比较，可带屏蔽位	$MCMPO = \&(DOUT MASKZ0_INIT)$
MDCMP	与特定数据进行比较，可带屏蔽位	$MDCMP = \&(\sim(DOUT \wedge MC_INIT) MASK_INIT)^2$
MDNCMP	MDCMP 的反相	$MDNCMP = \&((DOUT \wedge MC_INIT) MASK_INIT)$
OVER	累加器满溢	$OVER = (MCMPZ \& (\sim(MCMPZ MCMPO)))$
UNDER	累加器读空	$UNDER = (MCMPO \& (\sim(MCMPZ MCMPO)))$

注！

- [1]MASKZ0_INIT 表示 DOUT 与“0”比较时屏蔽位的初始值。
- [2]MC_INIT 表示与计算结果相比较的数据，MASK_INIT 表示屏蔽位。

用户在实际使用时可以结合自身需求对 ALU54 灵活设置，根据输出状态快速判断结果的正确与否，大大提高了分析效率。

3.3.2 ALU54 属性

本节主要介绍高云半导体原语库中 ALU54 里面包含的寄存器和参数，相关定义如表 3-6 所示。

表 3-6 ALU54 寄存器和参数属性

名称	值（默认值）	说明
INC_REG	1'b0/1(1'b0)	C 输入寄存器 INC 0: 旁路模式 1: 寄存器模式
ALUSEL_REG0	1'b0/1(1'b0)	ALUSEL 的第一级寄存器 0: 旁路模式 1: 寄存器模式
ALUMODE_REG0	1'b0/1(1'b0)	ALUMODE 的第一级寄存器

名称	值 (默认值)	说明
		0: 旁路模式 1: 寄存器模式
ALUSEL_REG1	1'b0/1(1'b0)	ALUSEL 的第二级寄存器, 0: 旁路模式, 1: 寄存器模式
ALUMODE_REG1	1'b0/1(1'b0)	ALUMODE 的第二级寄存器 0: 旁路模式 1: 寄存器模式
OUT_REG	1'b0/1(1'b0)	输出寄存器 0: 旁路模式 1: 寄存器模式
FB_REG	1'b0/1(1'b0)	反馈寄存器 0: 旁路模式 1: 寄存器模式
MC_SRC_MODE	1'b0/1(1'b0)	0: 选择 MC_INIT 1: 选择 INC
MASK_SRC_MODE	1'b0/1(1'b0)	0: 选择 MASK_INIT 1: 选择 INC
MASKZO_INIT	56 位位宽(56'b0)	带屏蔽位的静态随机存储器初始值, 用于计算 MCMPO 和 MCMPO
MASK_INIT	56 位位宽(56'b0)	带屏蔽位的静态随机存储器初始值, 用于计算 MDCMP 和 MDNCMP
MC_INIT	56 位位宽(56'b0)	静态随机存储器初始值
RND_INIT	56 位位宽(56'b0)	进位数据串初始值
ALU_RESET_MODE	SYNC/ASYN(SYNC)	ALU54 复位模式
MULT9_MODE	1'b0/1(1'b0)	0: MULT18 x 18 1: MULT9 x 9

3.3.3 ALU54 操作模式配置

ALU54 操作模式主要由 ALUSEL 和 ALUMODE 的输入值决定, 当 ALUMODE[3:2]取值“01”时, ALU54 处于算术运算模式, 当 ALUMODE[3:2]取值为其他时, ALU54 处于逻辑运算模式, 每种操作模式的计算方式如表 3-7 所示, 表中 A_OUT、B_OUT 及 C_OUT 是操作模式控制器的输出。

表 3-7 ALU54 操作模式

编号	ALUMODE[3:0]				功能
0	0	1	0	0	ALU54_OUT=A_OUT+B_OUT+C_OUT
1	0	1	0	1	ALU54_OUT=A_OUT-B_OUT+C_OUT
2	0	1	1	0	ALU54_OUT=A_OUT+B_OUT-C_OUT
3	0	1	1	1	ALU54_OUT=A_OUT-B_OUT-C_OUT
4	1	1	0	0	ALU54_OUT=B_OUT xnor C_OUT
5	1	1	1	0	ALU54_OUT=B_OUT xor C_OUT
6	0	0	0	0	ALU54_OUT=B_OUT nand C_OUT
7	1	0	0	0	ALU54_OUT=B_OUT and C_OUT
8	0	0	1	1	ALU54_OUT=B_OUT or C_OUT
9	1	0	1	1	ALU54_OUT=B_OUT nor C_OUT

A_OUT、B_OUT 及 C_OUT 的计算方法如表 3-8 所示。

表 3-8 ALU54 控制器计算方式

ALUSEL[6:0]							A_OUT、B_OUT、C_OUT 值
0	0	0	x	x	x	x	C_OUT=0
0	0	1	x	x	x	x	C_OUT=CIN >> 18
0	1	0	x	x	x	x	C_OUT=CIN
0	1	1	x	x	x	X	C_OUT=INC
1	0	0	x	x	x	x	C_OUT={INC[17:0],INA}
1	0	1	x	x	x	x	C_OUT=COUT
1	1	0	x	x	x	x	C_OUT=RND_INIT
1	1	1	x	x	x	x	C_OUT=RND_INIT-1
x	x	x	0	0	x	x	B_OUT=MD1 << 18
x	x	x	0	1	x	x	B_OUT=MD1
x	x	x	1	0	x	x	B_OUT={INC[44:27],INB}
x	x	x	1	1	x	x	B_OUT=0
x	x	x	x	x	0	0	A_OUT=COUT
x	x	x	x	x	0	1	A_OUT=MD0
x	x	x	x	x	1	0	A_OUT={INC[17:0],INA}
x	x	x	x	x	1	1	A_OUT=0

ALUSEL 分成三个部分,其中,ALUSEL[6:4]选择 C_OUT 的计算方式,ALUSEL[3:2]选择 B_OUT 的计算方式,ALUSEL[1:0]选择 A_OUT 的计算方式,各个组成部分之间相互独立,没有优先级的区分。

Gowin DSP 可以通过 ALUSEL 和 ALUMODE 配置成以下几种工作模式:

- 乘法器模式
- 乘法及累加器模式
- 乘法器求和模式
- 乘法器二次求和模式

表 3-9 列出了具体的配置方法。

表 3-9 DSP 模式配置

工作模式	ALUMODE				ALUSEL							A_OUT、B_OUT、C_OUT 值	
	3	2	1	0	6	5	4	3	2	1	0		
MULT36 x 36D 宏 单元 1	0	1	0	0	0	0	0	0	0	0	0	1	A_OUT=MULT0 B_OUT=MULT1 << 18 C_OUT=0
	0	1	0	0	0	0	1	0	0	0	0	1	A_OUT=MULT0 B_OUT=MULT1 << 18 C_OUT=CIN >> 18
MULT36 x 18D	0	1	0	0	0	0	0	0	0	0	0	1	A_OUT=MULT0 B_OUT=MULT1 << 18 C_OUT=0
MULT18 x 18D	x	x	x	x	x	x	x	0	1	0	0	1	A_OUT=MULT0 B_OUT=MULT1 C_OUT=0
MAC18 x 18D	0	1	x	n	0	0	0	0	1	m	0	0	m=0:A_OUT=DSP_COU T m=1: ACCU RELOAD: A_OUT={INC[17:0],INA} B_OUT=MULT1 C_OUT=0
MULTADD18 x 18D	0	1	x	n	0	0	0	0	1	0	0	1	A_OUT=MULT0 B_OUT=MULT1 C_OUT=0
MULTADDSUM1 8 x 18D 宏单元 1	0	1	x	n	0	0	0	0	1	0	0	1	A_OUT=MULT0 B_OUT=MULT1 C_OUT=0
	0	1	0	n	0	1	0	0	1	0	0	1	A_OUT=MULT0 B_OUT=MULT1 C_OUT=CIN

注！

n=0:加法运算，n=1:减法运算。

如前文所述，每个 DSP 模块包含 2 个 DSP 宏单元，编号为宏单元 0 和宏单元 1，MULT36 x 36D 或者 MULTADDSUM18 x 18D 都需要 2 个 DSP 宏单元(即 1 个 DSP 模块)的资源，表 3-9 中的宏单元 1 对应行的 ALUMODE 和 ALUSEL 设置值指的是第二个宏单元的配置方式。

3.4 输出单元

ALU54 单元提供级联模式以增强其功能，在级联模式下，ALU54 的输出信号与其他一些信号结合以控制 ALU54 的输出和反馈信号。ALU54 的输出单元由一些选择器和控制器组成，如前文所述，ALU54 可以输出 7-bit 的状态信息到 ALU54 输出单元，这些状态信息与乘法器的输出信号在此处通过多路选择器的选择为普通模式和级联模式提供数据输出功能。

4 DSP 操作模式

Gowin DSP 可以高效地支持以下几种模式：

- 乘法器模式
- 乘法及累加器模式
- 乘法器求和模式
- 乘法器二次求和模式

除了 MULT36 x 36D 和 MULTADDSUM18 x 18D 模式需要 2 个 DSP 宏单元外，其他模式只需要 1 个 DSP 宏单元即可完成相关功能。

4.1 乘法器模式

乘法器可以按照位宽不同分为 MULT9 x 9, MULT18 x 18, MULT36 x 18 和 MULT36 x 36 几种模式，其中，MULT9 x 9 和 MULT18 x 18 按照是否支持数据的移位功能又分为 MULT9 x 9D、MULT9 x 9S 和 MULT18 x 18D、MULT18 x 18S，本节后面的内容会对每种模式进行具体介绍。

MULT9 x 9D、MULT18 x 18D、MULT36 x 18D、MULT36 x 36D 的寄存器和参数属性相同，MULT9 x 9S、MULT18 x 18S 的寄存器和参数属性相同，请参见表 4-1 和表 4-2。

表 4-1 普通乘法器寄存器和参数属性

名称	值（默认值）	说明
INA_REG	1'b0/1 (1'b0)	A 输入寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
INB_REG	1'b0/1 (1'b0)	B 输入寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
OUT_REG	1'b0/1 (1'b0)	输出寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
PIPE_REG	1'b0/1 (1'b0)	流水线寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
ASIGN_IN_REG	1'b0/1 (1'b0)	A 输入符号寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
BSIGN_IN_REG	1'b0/1 (1'b0)	B 输入符号寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式

名称	值（默认值）	说明
ASIGN_PIPE_REG	1'b0/1（1'b0）	A 输入符号流水线寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
BSIGN_PIPE_REG	1'b0/1（1'b0）	B 输入符号流水线寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
MULT_RESET_MODE	SYNC/ASYNC(SYNC)	同步/异步复位

表 4-2 移位乘法器寄存器和参数属性

名称	值（默认值）	说明
INA_REG	1'b0/1（1'b0）	A 输入寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
INB_REG	1'b0/1（1'b0）	B 输入寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
OUT_REG	1'b0/1（1'b0）	输出寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
PIPE_REG	1'b0/1（1'b0）	流水线寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
ASIGN_IN_REG	1'b0/1（1'b0）	A 输入符号寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
BSIGN_IN_REG	1'b0/1（1'b0）	B 输入符号寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
ASIGN_PIPE_REG	1'b0/1（1'b0）	A 输入符号流水线寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
BSIGN_PIPE_REG	1'b0/1（1'b0）	B 输入符号流水线寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
SHIFT_OUT_REG	1'b0/1（1'b0）	SDOA 移位寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
MULT_RESET_MODE	SYNC/ASYNC(SYNC)	同步/异步复位

4.1.1 MULT9 x 9D

DSP 模块的每个宏单元包含 4 个独立的 9 x 9 位乘法器，MULT9 x 9D 的组成结构和信号含义如图 4-1 及表 4-3 所示。

图 4-1 MULT9 x 9D 组成结构

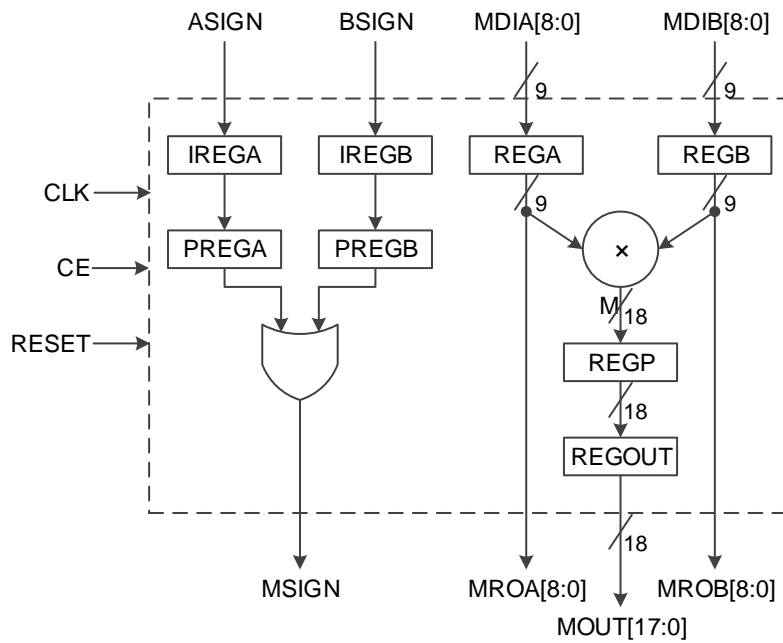


表 4-3 MULT9 x 9D 信号名称及说明

信号名称	I/O 类型	说明
MDIA[8:0]	I	9-bit 输入 A
MDIB[8:0]	I	9-bit 输入 B
ASIGN	I	输入 A 的符号, 0: 无符号数, 1: 有符号数
BSIGN	I	输入 B 的符号, 0: 无符号数, 1: 有符号数
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	同步/异步复位信号
MOUT[17:0]	O	乘法器输出数据
MROA[8:0]	O	MDIA 的旁路或寄存器输出值
MROB[8:0]	O	MDIB 的旁路或寄存器输出值
MSIGN	O	输出数据符号, 0: 无符号数, 1: 有符号数

4.1.2 MULT9 x 9S

与 MULT9 x 9D 不同的是, MULT9 x 9S 增加了可选择的数据移位功能, MULT9 x 9S 的组成结构及信号定义如图 4-2 及表 4-4 所示。

图 4-2 MULT9 x 9S 组成结构

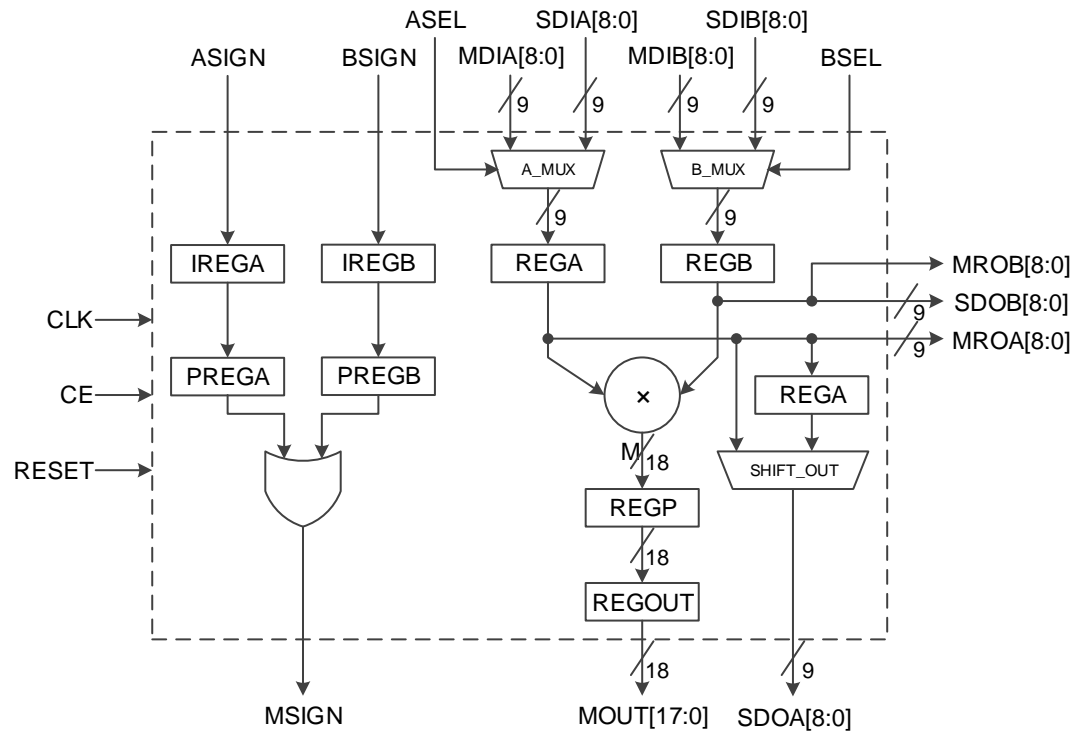


表 4-4 MULT9 x 9S 信号名称及说明

信号名称	I/O 类型	说明
MDIA[8:0]	I	9-bit 输入 A
SDIA[8:0]	I	9-bit 移位输入 A
MDIB[8:0]	I	9-bit 输入 B
SDIB[8:0]	I	9-bit 移位输入 B
ASIGN	I	输入 A 的符号, 0: 无符号数, 1: 有符号数
BSIGN	I	输入 B 的符号, 0: 无符号数, 1: 有符号数
ASEL	I	选择 MDIA/SDIA
BSEL	I	选择 MDIB/SDIB
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	同步/异步复位信号
MOUT[17:0]	O	乘法器输出数据
MSIGN	O	输出数据符号, 0: 无符号数, 1: 有符号数
MROA[8:0]	O	MDIA 或 SDIA 的旁路或寄存器输出值
MROB[8:0]	O	MDIB 或 SDIB 的旁路或寄存器输出值
SDOA[8:0]	O	移位数据输出 A
SDOB[8:0]	O	移位数据输出 B

4.1.3 MULT18 x 18D

DSP 模块的每个宏单元包含 2 个独立的 18 x 18 位乘法器，MULT18 x 18D 的组成结构与 MULT9 x 9D 相同，只是输入数据和输出数据的位宽不同，MULT18 x 18D 的信号含义如表 4-5 所示。

表 4-5 MULT18 x 18D 信号名称及说明

信号名称	I/O 类型	说明
MDIA[17:0]	I	18-bit 输入 A
MDIB[17:0]	I	18-bit 输入 B
ASIGN	I	输入 A 的符号，0：无符号数，1：有符号数
BSIGN	I	输入 B 的符号，0：无符号数，1：有符号数
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	同步/异步复位信号
MOUT[35:0]	O	乘法器输出数据
MROA[17:0]	O	MDIA 的旁路或寄存器输出值
MROB[17:0]	O	MDIB 的旁路或寄存器输出值
MSIGN	O	输出数据符号，0：无符号数，1：有符号数

4.1.4 MULT18 x 18S

与 MULT18 x 18D 不同的是，MULT18 x 18S 增加了可选择的数据移位功能，MULT18 x 18S 的组成结构与 MULT9 x 9S 相同，只是输入数据和输出数据位宽不同，MULT18 x 18S 的信号含义如表 4-6 所示。

表 4-6 MULT18 x 18S 信号名称及说明

信号名称	I/O 类型	说明
MDIA[17:0]	I	18-bit 输入 A
SDIA[17:0]	I	18-bit 移位输入 A
MDIB[17:0]	I	18-bit 输入 B
SDIB[17:0]	I	18-bit 移位输入 B
ASIGN	I	输入 A 的符号，0：无符号数，1：有符号数
BSIGN	I	输入 B 的符号，0：无符号数，1：有符号数
ASEL	I	选择 MDIA/SDIA
BSEL	I	选择 MDIB/SDIB
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	同步/异步复位信号
MOUT[35:0]	O	乘法器输出数据
MSIGN	O	输出数据符号，0：无符号数，1：有符号数
MROA[17:0]	O	MDIA 或 SDIA 的旁路或寄存器输出值
MROB[17:0]	O	MDIB 或 SDIB 的旁路或寄存器输出值
SDOA[17:0]	O	移位数据输出 A
SDOB[17:0]	O	移位数据输出 B

4.1.5 MULT36 x 18D

为满足用户对不同位宽的乘法需求，Gowin DSP 提供了 MULT36 x 18D 和 MULT36 x 36D 两种工作模式，它们是由 MULT18 x 18 和 ALU54 组合实

现的。

MULT36 x 18D 由两个 MULT18 x 18 和一个 ALU54 组成，MULT36 x 18D 的组成结构和信号含义如图 4-3 及表 4-7 所示。

图 4-3 MULT36 x 18D 组成结构

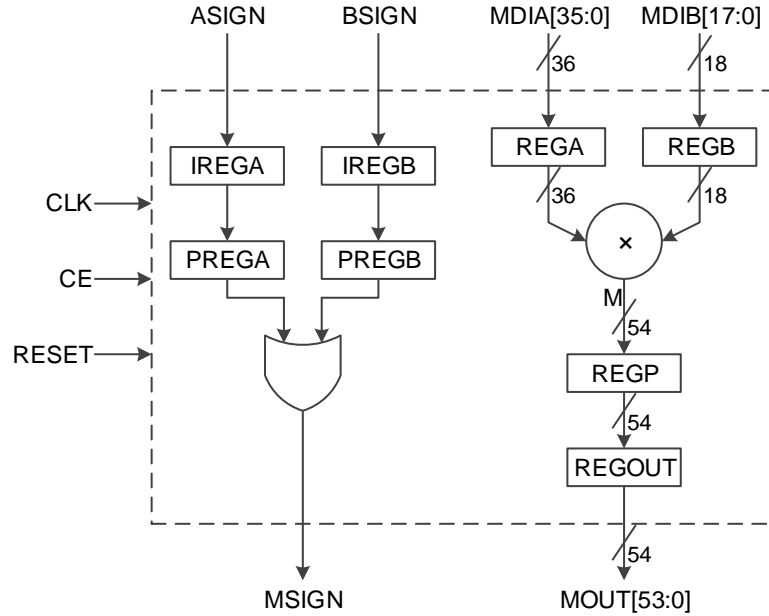


表 4-7 MULT36 x 18D 信号名称及说明

信号名称	I/O 类型	说明
MDIA[35:0]	I	36-bit 输入 A
MDIB[17:0]	I	18-bit 输入 B
ASIGN	I	输入 A 的符号 0: 无符号数 1: 有符号数
BSIGN	I	输入 B 的符号 0: 无符号数 1: 有符号数
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	同步/异步复位信号
MOUT[53:0]	O	乘法器输出数据
MSIGN	O	输出数据符号 0: 无符号数 1: 有符号数

4.1.6 MULT36 x 36D

MULT36 x 36D 由两个相邻的 DSP 宏单元组成，MULT36 x 36D 由 4 个 MULT18 x 18 和 2 个 ALU54 组成，MULT36 x 36D 的组成结构和信号含义如图 4-4 及表 4-8 所示。

图 4-4 MULT36 x 36D 组成结构

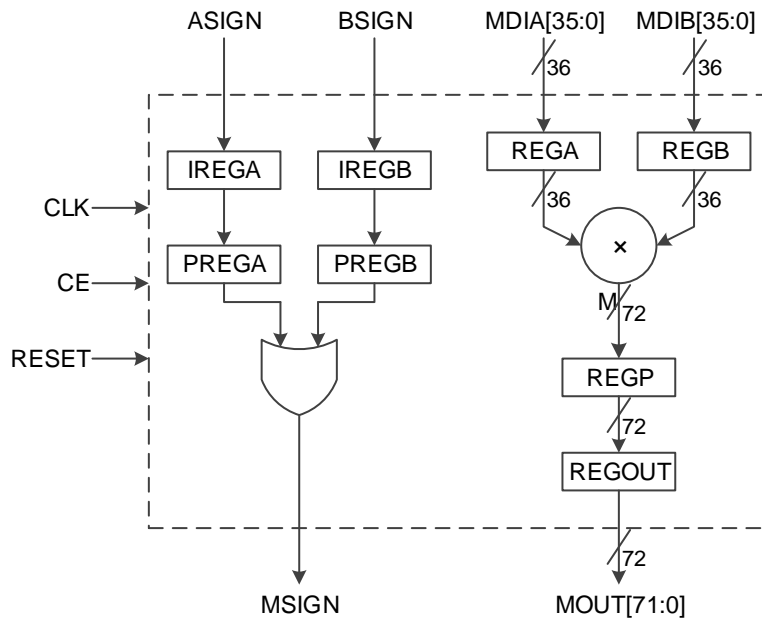


表 4-8 MULT36 x 36D 信号名称及说明

信号名称	I/O 类型	说明
MDIA[35:0]	I	36-bit 输入 A
MDIB[35:0]	I	36-bit 输入 B
ASIGN	I	输入 A 的符号 0: 无符号数 1: 有符号数
BSIGN	I	输入 B 的符号 0: 无符号数 1: 有符号数
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	同步/异步复位信号
MOUT[71:0]	O	乘法器输出数据
MSIGN	O	输出数据符号 0: 无符号数 1: 有符号数

4.2 乘法及累加器模式

Gowin DSP 模块的一个宏单元可以配置成一个 18 x 18 的乘法及累加器，也可以配置成一个带有 27-bit 累加器的 9 x 9 乘法及累加器。乘法及累加器支持 MAC18 x 18D 和 MAC9 x 9D 两种，两种模式的寄存器和参数属性相同，如表 4-9 所示。

表 4-9 乘法及累加器寄存器和参数属性

名称	值（默认值）	说明
INA_REG	1'b0/1 (1'b0)	A 输入寄存器（PDIA/PDIC 或 SDIA）可以旁路，1'b0:旁路模式，1'b1:寄存器模式
INB_REG	1'b0/1 (1'b0)	B 输入寄存器（PDIB 或 PADDSI）

名称	值 (默认值)	说明
		可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
LDI_REG	1'b0/1 (1'b0)	累加器输入寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ADDSUB_REG0	1'b0/1 (1'b0)	加减法选择的第一级寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ADDSUB_REG1	1'b0/1 (1'b0)	加减法选择的第二级寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ACCLOAD_REG0	1'b0/1 (1'b0)	累加器的第一级寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ACCLOAD_REG1	1'b0/1 (1'b0)	累加器的第二级寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
PIPE_REG	1'b0/1 (1'b0)	流水线寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ASIGN_IN_REG	1'b0/1 (1'b0)	A 输入符号寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
BSIGN_IN_REG	1'b0/1 (1'b0)	B 输入符号寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ASIGN_PIPE_REG	1'b0/1 (1'b0)	A 输入符号流水线寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
BSIGN_PIPE_REG	1'b0/1 (1'b0)	B 输入符号流水线寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
SHIFT_OUT_REG	1'b0/1 (1'b0)	SDOA 移位寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
MULT_RESET_MODE	SYNC/ASYNC(SYNC)	同步/异步复位

4.2.1 MAC18 x 18D

MAC18 x 18D 的组成结构及端口信号含义如图 4-5 及表 4-10 所示。

图 4-5 MAC18 x 18D 组成结构

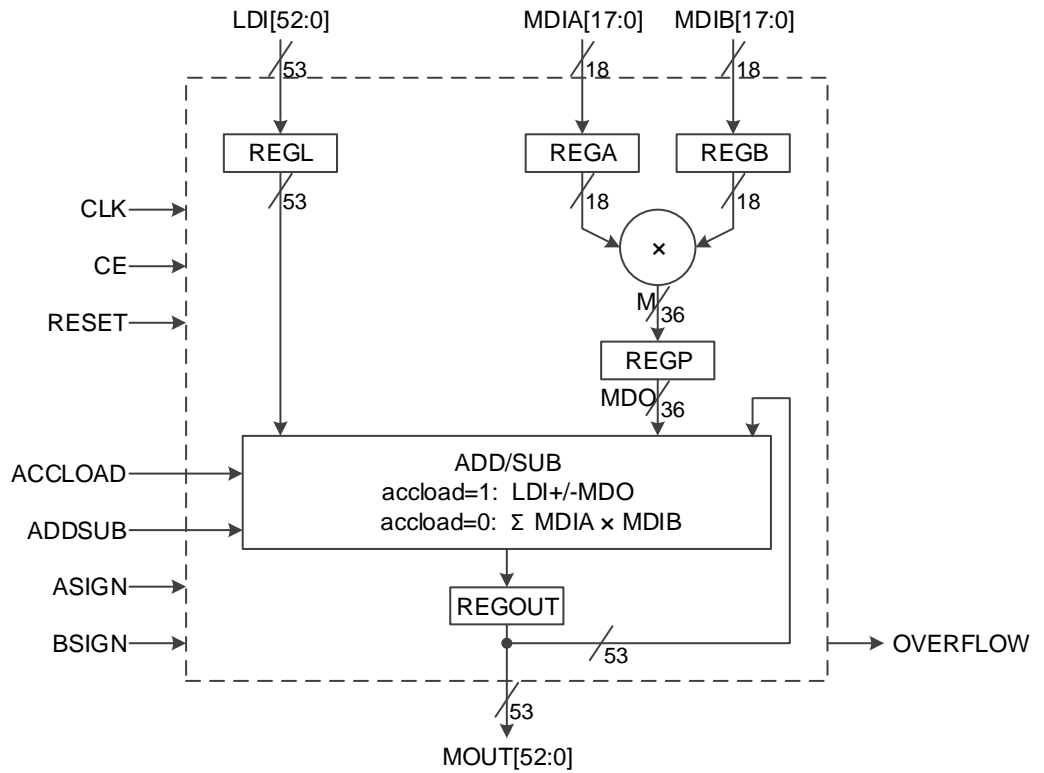


表 4-10 MAC18 x 18D 信号名称及说明

信号名称	I/O 类型	说明
MDIA[17:0]	I	18-bit 输入 A
MDIB[17:0]	I	18-bit 输入 B
LDI[52:0]	I	累加器输入
ASIGN	I	输入 A 的符号 0: 无符号数 1: 有符号数
BSIGN	I	输入 B 的符号 0: 无符号数 1: 有符号数
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	同步/异步复位信号
ADDSUB	I	加减法选择 0: 加法 1: 减法
ACCLOAD	I	累加器重载选择
MOUT[52:0]	O	乘法器输出数据
OVERFLOW	O	累加器满溢

4.2.2 MAC9 x 9D

MAC9 x 9D 的组成结构与 MAC18 x 18D 相同，只是输入输出信号的位宽略有不同，如表 4-11 所示。

表 4-11 MAC9 x 9D 信号名称及说明

信号名称	I/O 类型	说明
MDIA[8:0]	I	9-bit 输入 A
MDIB[8:0]	I	9-bit 输入 B
LDI[24:0]	I	累加器输入
ASIGN	I	输入 A 的符号 0: 无符号数 1: 有符号数
BSIGN	I	输入 B 的符号 0: 无符号数 1: 有符号数
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	同步/异步复位信号
ADDSUB	I	加减法选择 0: 加法 1: 减法
ACCLOAD	I	累加器重载选择
MOUT[24:0]	O	乘法器输出数据
OVERFLOW	O	累加器满溢

4.3 乘法器求和模式

乘法器求和模式用于计算 2 个 MULT18 x 18 或者 2 个 MULT9 x 9 的和或差，乘法器求和模式分为 MULTADD18 x 18D 和 MULTADD9 x 9D，二者寄存器和参数属性相同，如表 4-12 所示。

表 4-12 乘法器求和模式的寄存器和参数属性

名称	值（默认值）	说明
INA0_REG	1'b0/1 (1'b0)	A0 输入寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
INA1_REG	1'b0/1 (1'b0)	A1 输入寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
INB0_REG	1'b0/1 (1'b0)	B0 输入寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
INB1_REG	1'b0/1 (1'b0)	B1 输入寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
ADDSUB_REG0	1'b0/1 (1'b0)	加减法选择的第一级寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
ADDSUB_REG1	1'b0/1 (1'b0)	加减法选择的第二级寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
ACCLOAD_REG0	1'b0/1 (1'b0)	累加器的第一级寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
ACCLOAD_REG1	1'b0/1 (1'b0)	累加器的第二级寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
PIPE0_REG	1'b0/1 (1'b0)	乘法器 0 流水线寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式

名称	值 (默认值)	说明
PIPE1_REG	1'b0/1 (1'b0)	乘法器 1 流水线寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ASIGN0_IN_REG	1'b0/1 (1'b0)	A 输入符号寄存器 0 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ASIGN1_IN_REG	1'b0/1 (1'b0)	A 输入符号寄存器 1 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
BSIGN0_IN_REG	1'b0/1 (1'b0)	B 输入符号寄存器 0 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
BSIGN1_IN_REG	1'b0/1 (1'b0)	B 输入符号寄存器 1 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ASIGN0_PIPE_REG	1'b0/1 (1'b0)	A 输入符号流水线寄存器 0 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ASIGN1_PIPE_REG	1'b0/1 (1'b0)	A 输入符号流水线寄存器 1 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
BSIGN0_PIPE_REG	1'b0/1 (1'b0)	B 输入符号流水线寄存器 0 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
BSIGN1_PIPE_REG	1'b0/1 (1'b0)	B 输入符号流水线寄存器 1 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ADDSUB_REG0	1'b0/1 (1'b0)	加减法选择的第一级寄存器可以旁路, 0:旁路模式, 1:寄存器模式
ADDSUB_REG1	1'b0/1 (1'b0)	加减法选择的第二级寄存器可以旁路, 0:旁路模式, 1:寄存器模式
OUT_REG	1'b0/1 (1'b0)	输出寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
MULT_RESET_MODE	SYNC/ASYNC(SYNC)	同步/异步复位

4.3.1 MULTADD18 x 18D

MULTADD18 x 18D 的组成结构及端口信号含义如图 4-6 及表 4-13 所示。

图 4-6 MULTADD18 x 18D 组成结构

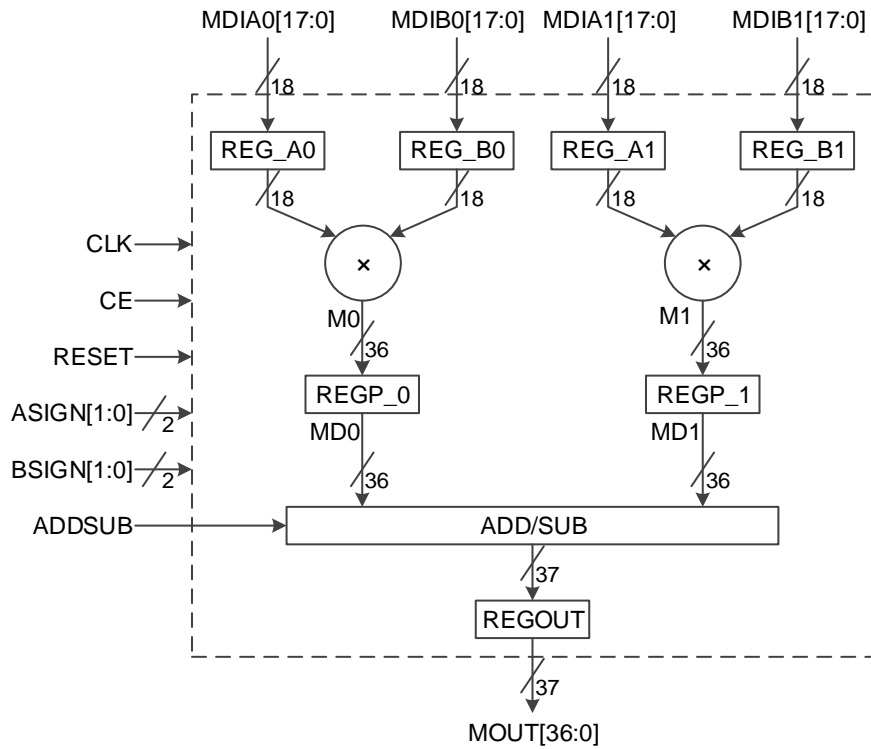


表 4-13 MULTADD18 x 18D 信号名称及说明

信号名称	I/O 类型	说明
MDIA0[17:0]	I	18-bit 输入 A0
MDIA1[17:0]	I	18-bit 输入 A1
MDIB0[17:0]	I	18-bit 输入 B0
MDIB1[17:0]	I	18-bit 输入 B1
ASIGN[1:0]	I	输入 A0 及 A1 的符号 0: 无符号数 1: 有符号数
BSIGN[1:0]	I	输入 B0 及 B1 的符号 0: 无符号数 1: 有符号数
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	同步/异步复位信号
ADDSUB	I	加减法选择 0: 加法 1: 减法
MOUT[36:0]	O	乘法器求和模式输出数据

4.3.2 MULTADD9 x 9D

MULTADD9 x 9D 的组成结构与 MULTADD18 x 18D 相同，只是输入输出信号的位宽略有不同，如表 4-14 所示。

表 4-14 MULTADD9 x 9D 信号名称及说明

信号名称	I/O 类型	说明
MDIA0[8:0]	I	9-bit 输入 A0
MDIA1[8:0]	I	9-bit 输入 A1
MDIB0[8:0]	I	9-bit 输入 B0
MDIB1[8:0]	I	9-bit 输入 B1
ASIGN[1:0]	I	输入 A0 及 A1 的符号 0: 无符号数 1: 有符号数
BSIGN[1:0]	I	输入 B0 及 B1 的符号 0: 无符号数 1: 有符号数
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	同步/异步复位信号
ADDSUB	I	加减法选择 0: 加法 1: 减法
MOUT[18:0]	O	乘法器求和模式输出数据

4.4 乘法器二次求和模式

乘法器二次求和模式用于计算 2 个 MULTADD18 x 18 或者 2 个 MULTADD9 x 9 的和，需要注意的是，二次求和模式只支持加法运算。乘法器二次求和模式分为 MULTADDSUM18 x 18D 和 MULTADDSUM9 x 9D，二者寄存器和参数属性相同，如表 4-15 所示。

表 4-15 乘法器二次求和模式的寄存器和参数属性

名称	值（默认值）	说明
INA0_REG	1'b0/1 (1'b0)	A0 输入寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
INA1_REG	1'b0/1 (1'b0)	A1 输入寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
INA2_REG	1'b0/1 (1'b0)	A2 输入寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
INA3_REG	1'b0/1 (1'b0)	A3 输入寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
INB0_REG	1'b0/1 (1'b0)	B0 输入寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
INB1_REG	1'b0/1 (1'b0)	B1 输入寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
INB2_REG	1'b0/1 (1'b0)	B2 输入寄存器可以旁路，1'b0:旁路模式，1'b1:寄存器模式
INB3_REG	1'b0/1 (1'b0)	B3 输入寄存器可以旁路，1'b0:旁路

名称	值 (默认值)	说明
		模式, 1'b1:寄存器模式
PIPE0_REG	1'b0/1 (1'b0)	乘法器 0 流水线寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
PIPE1_REG	1'b0/1 (1'b0)	乘法器 1 流水线寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
PIPE2_REG	1'b0/1 (1'b0)	乘法器 2 流水线寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
PIPE3_REG	1'b0/1 (1'b0)	乘法器 3 流水线寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ASIGN0_IN_REG	1'b0/1 (1'b0)	A 输入符号寄存器 0 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ASIGN1_IN_REG	1'b0/1 (1'b0)	A 输入符号寄存器 1 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ASIGN2_IN_REG	1'b0/1 (1'b0)	A 输入符号寄存器 2 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ASIGN3_IN_REG	1'b0/1 (1'b0)	A 输入符号寄存器 3 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
BSIGN0_IN_REG	1'b0/1 (1'b0)	B 输入符号寄存器 0 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
BSIGN1_IN_REG	1'b0/1 (1'b0)	B 输入符号寄存器 1 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
BSIGN2_IN_REG	1'b0/1 (1'b0)	B 输入符号寄存器 2 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
BSIGN3_IN_REG	1'b0/1 (1'b0)	B 输入符号寄存器 3 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ASIGN0_PIPE_REG	1'b0/1 (1'b0)	A 输入符号流水线寄存器 0 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ASIGN1_PIPE_REG	1'b0/1 (1'b0)	A 输入符号流水线寄存器 1 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ASIGN2_PIPE_REG	1'b0/1 (1'b0)	A 输入符号流水线寄存器 2 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
ASIGN3_PIPE_REG	1'b0/1 (1'b0)	A 输入符号流水线寄存器 3 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
BSIGN0_PIPE_REG	1'b0/1 (1'b0)	B 输入符号流水线寄存器 0 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
BSIGN1_PIPE_REG	1'b0/1 (1'b0)	B 输入符号流水线寄存器 1 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
BSIGN2_PIPE_REG	1'b0/1 (1'b0)	B 输入符号流水线寄存器 2 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
BSIGN3_PIPE_REG	1'b0/1 (1'b0)	B 输入符号流水线寄存器 3 可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式

名称	值 (默认值)	说明
ADDSUB0_REG0	1'b0/1 (1'b0)	加减法选择器 0 的第一级寄存器可以旁路, 0: 旁路模式, 1: 寄存器模式
ADDSUB0_REG1	1'b0/1 (1'b0)	加减法选择器 0 的第二级寄存器可以旁路, 0: 旁路模式, 1: 寄存器模式
ADDSUB1_REG0	1'b0/1 (1'b0)	加减法选择器 1 的第一级寄存器可以旁路, 0: 旁路模式, 1: 寄存器模式
ADDSUB1_REG1	1'b0/1 (1'b0)	加减法选择器 1 的第二级寄存器可以旁路, 0: 旁路模式, 1: 寄存器模式
OUT_REG	1'b0/1 (1'b0)	输出寄存器可以旁路, 1'b0:旁路模式, 1'b1:寄存器模式
MULT_RESET_MODE	SYNC/ASYNC(SYNC)	同步/异步复位

4.4.1 MULTADDSUM18 x 18D

MULTADDSUM18 x 18D 的组成结构及端口信号含义如图 4-7 及表 4-16 所示。

图 4-7 MULTADDSUM18 x 18D 的组成结构

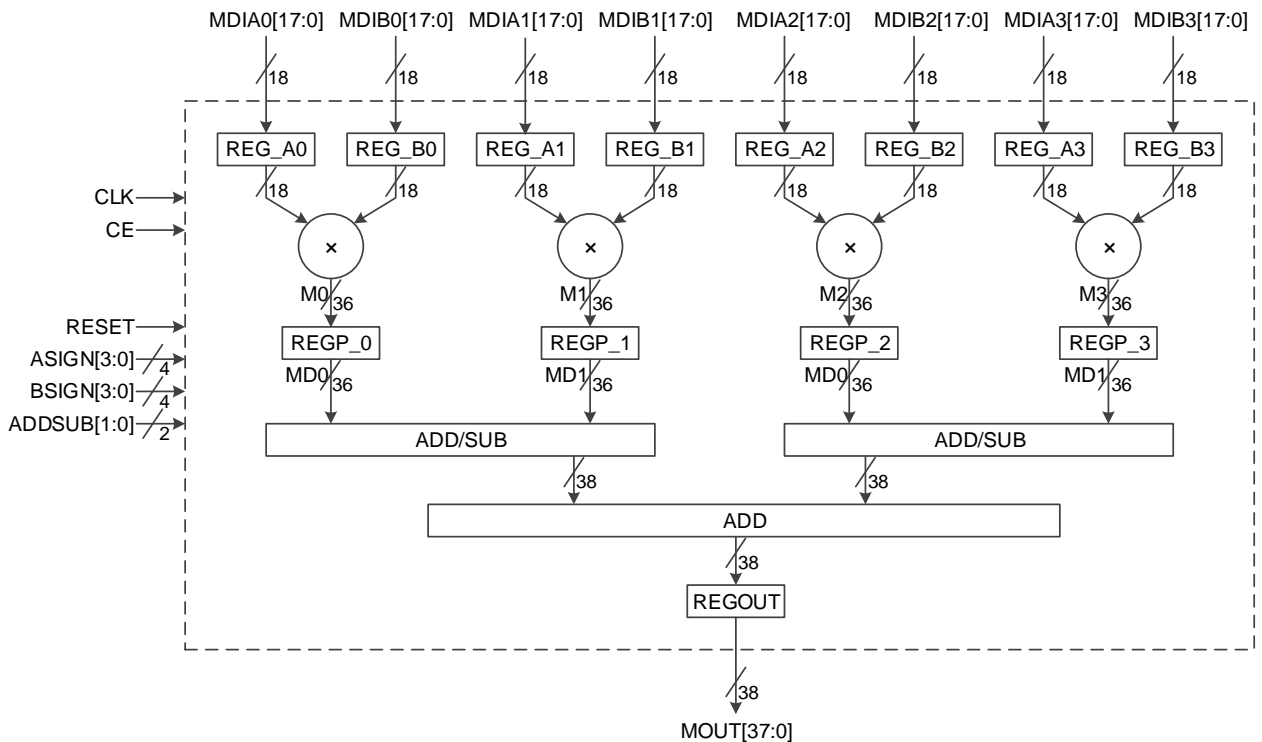


表 4-16 MULTADDSUM18 x 18D 信号名称及说明

信号名称	I/O 类型	说明
MDIA0[17:0]	I	18-bit 输入 A0
MDIA1[17:0]	I	18-bit 输入 A1
MDIA2[17:0]	I	18-bit 输入 A2
MDIA3[17:0]	I	18-bit 输入 A3

信号名称	I/O 类型	说明
MDIB0[17:0]	I	18-bit 输入 B0
MDIB1[17:0]	I	18-bit 输入 B1
MDIB2[17:0]	I	18-bit 输入 B2
MDIB3[17:0]	I	18-bit 输入 B3
ASIGN[3:0]	I	输入 A3、A2、A1 及 A0 的符号 0: 无符号数 1: 有符号数
BSIGN[3:0]	I	输入 B3、B2、B1 及 B0 的符号 0: 无符号数 1: 有符号数
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	同步/异步复位信号
ADDSUB[1:0]	I	加减法选择 0: 加法 1: 减法
MOUT[37:0]	O	乘法器二次求和模式输出数据

4.4.2 MULTADDSUM9 x 9D

MULTADDSUM9 x 9D 的组成结构与 MULTADDSUM18 x 18D 相同，只是输入输出信号的位宽略有不同，详细信息如表 4-17 所示。

表 4-17 MULTADDSUM9 x 9D 信号名称及说明

信号名称	I/O 类型	说明
MDIA0[8:0]	I	18-bit 输入 A0
MDIA1[8:0]	I	18-bit 输入 A1
MDIA2[8:0]	I	18-bit 输入 A2
MDIA3[8:0]	I	18-bit 输入 A3
MDIB0[8:0]	I	18-bit 输入 B0
MDIB1[8:0]	I	18-bit 输入 B1
MDIB2[8:0]	I	18-bit 输入 B2
MDIB3[8:0]	I	18-bit 输入 B3
ASIGN[3:0]	I	输入 A3、A2、A1 及 A0 的符号 0: 无符号数 1: 有符号数
BSIGN[3:0]	I	输入 B3、B2、B1 及 B0 的符号 0: 无符号数 1: 有符号数
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	同步/异步复位信号
ADDSUB[1:0]	I	加减法选择 0: 加法 1: 减法
MOUT[19:0]	O	乘法器二次求和模式输出数据

5 DSP 调用

关于 DSP 的配置及调用信息请参考 《Gowin IP Core Generator 用户指南》>3 使用>3.2 DSP。

